

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-263646

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

H01L 27/10
 G11C 11/22
 H01L 21/8242
 H01L 27/108
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 06-055951

(71)Applicant : MITSUBISHI CHEM CORP

(22)Date of filing : 25.03.1994

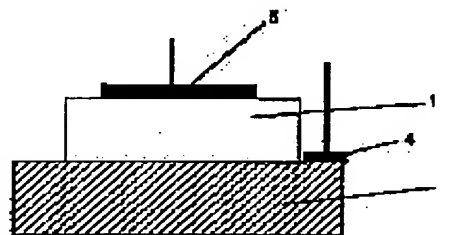
(72)Inventor : WATABE YUKIO

(54) FERROELECTRICS DIODE ELEMENT, AND MEMORY DEVICE, FILTER ELEMENT AND PSEUDO CRANIAL NERVE CIRCUIT USING IT

(57)Abstract:

PURPOSE: To make high integration of memory element easier with simple structure by laminating a ferroelectric layer an a semiconductor layer, sandwiching the layer with a pair of electrodes for a diode element, and letting excessive current to flow by applying the voltage higher than operating voltage between electrodes at specific temperature.

CONSTITUTION: A ferroelectric layer 1 is laminated an a semiconductor substrate 2, and sandwiched between a pair of electrodes 4 and 5 for a diode element. Then, excessive current, normally 10-5-10-3A/cm², is let to flow by applying higher voltage than operating voltage, at 0° C or more, between both electrodes 4 and 5. When operating voltage lower than that voltage, typically 1/100-1/2 of it, is applied immediately after the current is permitted to flow and the current value is measured, the value is larger than in no process. The low resistance state is kept about one minute. Since this time is long enough as compared with the refresh time of DRAM, so memory configuration of DRAM type is possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-263646

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1			
G 1 1 C 11/22				
H 0 1 L 21/8242				

H 0 1 L 27/ 10 3 2 5 J

29/ 78 3 7 1

審査請求 未請求 請求項の数6 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-55951

(22) 出願日 平成6年(1994)3月25日

(71) 出願人 000005968

三菱化学株式会社

東京都千代田区丸の内二丁目5番2号

(72) 発明者 渡部 行男

神奈川県横浜市緑区鴨志田町1000番地 三

菱化成株式会社総合研究所内

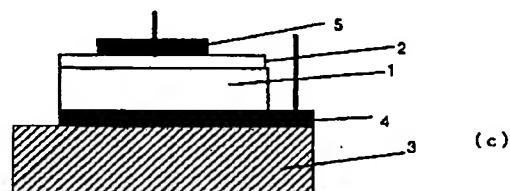
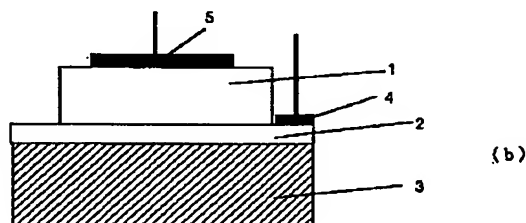
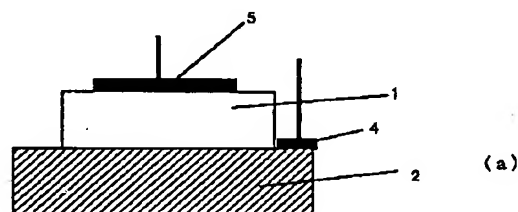
(74) 代理人 弁理士 長谷川 暁司

(54) 【発明の名称】 強誘電体ダイオード素子、並びにそれを用いたメモリー装置、フィルター素子及び疑似脳神経回路

(57) 【要約】

【構成】 半導体層上に強誘電体層を積層して、これらの層上に1対の電極を形成してなるダイオード素子であって、強誘電体薄膜をよぎって該半導体層に流れる非トンネル性の電流電圧特性が0℃以上でヒステリシスを有する強誘電体ダイオード素子。

【効果】 本発明によれば、単純な構成で、神経疑似素子や高集積化の容易なメモリー素子を提供することができる。



【特許請求の範囲】

【請求項 1】 半導体層上に強誘電体層を積層し、これを 1 対の電極で挟んで構成されたダイオード素子であって、該電極間に 0℃以上で動作電圧より大な電圧を印加して過大な電流を流すことにより低抵抗状態となることを特徴とする強誘電体ダイオード素子。

【請求項 2】 半導体層がペロブスカイト構造を有する酸化物薄膜層である請求項 1 に記載の強誘電体ダイオード素子。

【請求項 3】 請求項 1 に記載の強誘電体ダイオード素子、および、該素子の低抵抗状態を維持する電流を周期的に供給するリフレッシュ手段を有する集積回路からなるメモリー装置。

【請求項 4】 請求項 1 に記載の強誘電体ダイオード素子とキャパシターとを結合してなる学習可能なフィルタ素子。

【請求項 5】 請求項 1 に記載の強誘電体ダイオード素子で複数の演算素子間を結合してなり、一方の演算素子が発生する電流信号を他方の演算素子が該強誘電体ダイオード素子を経由して受け取ることにより、他方の演算素子が該ダイオード素子を経由して前記一方の演算素子へ電流信号を発信するように構成された疑似脳神経回路。

【請求項 6】 請求項 2 に記載の強誘電体ダイオード素子であって、強誘電体薄膜が鉛とチタンを含むペロブスカイト構造を有する酸化物である強誘電体ダイオード素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、強誘電体ダイオード素子に関し、強誘電体を用いたダイオードの電流電圧特性に見い出されたヒステリシスを利用する素子に関する。また、この素子のメモリー素子としての構成法、疑似神経回路に於けるシナプス素子、及び学習可能なフィルタ素子に関する。

【0002】

【従来の技術】近年、脳の働きを模倣するコンピュータの研究が盛んである。学習における脳の働きを電気回路としてみると、一定の刺激を与えられた素子の情報が選択的に抽出されることが大きな特徴と言われている。脳内で神経細胞はシナプスにより互いに結合されている。学習での選択性の増加は、刺激を与えることにより、シナプスが特定の 1 対の神経細胞間の情報、即ち電流伝達が増加することにより起こると言われている。さらに、シナプスは長い間刺激が加えられないと、この選択性を減少または失うと言われるが、このような忘却性も脳の働きとして重要であることが分かっている。このような複雑な脳内の組織の働きを模倣することは、複数の素子や複雑な回路を用いて初めて可能である。

【0003】また、現在用いられている固体メモリーの

主流は DRAM であり、FET とキャパシターから構成され、キャパシターに蓄えられた電荷を放出させ電流として読み出す。一方、超伝導酸化物を用いての素子化研究や、伝導性ペロブスカイト酸化物を誘電体に組み合わせて素子化する研究開発が近年盛んになされている。このような伝導性酸化物としては、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ 、 $(\text{La}, \text{Sr})_2\text{CuO}_4$ 、 $(\text{La}, \text{Sr})\text{MnO}_3$ が知られている。

【0004】

【発明が解決しようとする課題】従来の技術では、適度の忘却性を持ったシナプス模倣素子を単純な構成で作製することは出来ず、このため集積度、生産性が低く、実用性に乏しかった。また、単純な素子だが極低温でないこの様な動作ができないという問題があった。例えば、田村らは、極低温で、 BaTiO_3 薄膜の分極状態によりバンドの曲がりが変わるため、 BaTiO_3 をトンネルする電流の大きさが変わることを発表している（第 40 回応用物理学会予稿集 125 頁 1993 年春季）。

【0005】また、DRAM では、高集積化に伴い素子構造と配線が複雑となり、特に、高集積化してもキャパシターの容量を低下できないので、立体構造を持ったキャパシターを用いて実効面積を大きくしたり、 SiO_2 に代えて誘電率の大きい絶縁体を用いる努力が続けられている。このため、生産コストの急増が問題となっている。

【0006】

【課題を解決するための手段】本発明者は、半導体層の上に形成された強誘電体薄膜をよぎってある一定以上の電流を流すと、電流電圧特性が著しく変化することを見出した。この効果は数分程度保持され、長時間立つと見られなくなることも分かった。このような現象は、まさにシナプスそのものである。

【0007】また、DRAM と別の原理からなる、より単純で集積度の高いメモリーにも応用すべく、さらに、検討を重ねた。上記の現象の保持時間は、DRAM で行なわれているリフレッシュ周期である通常 1 ミリ秒程度に比べ十分長いので、DRAM と同様のリフレッシュを行なうことによりメモリー保持を行なうことに考え至った。

【0008】本発明の要旨は、半導体層上に強誘電体層を積層し、これを 1 対の電極で挟んで構成されたダイオード素子であって、該電極間に 0℃以上で動作電圧より大な電圧を印加して過大な電流を流すことにより低抵抗状態となることを特徴とする強誘電体ダイオード素子に存する。図 1 (a)、(b) 及び (c) は夫々、本発明のダイオード素子の構成を示す断面図である。図 1

(a) は、半導体基板上 2 に強誘電体層 1 を積層した例、図 1 (b) は、基板 3 上の半導体層 2 上に強誘電体層 1 を積層した例、図 1 (c) は基板 3 上に電極 4 を積層し、この上に強誘電体層 1、半導体層 2 の順に積層し

た例を示す。素子の作製の容易な点から、図 1 (b), (c) に示すように、半導体薄膜層 2 を基板 3 上に直接または強誘電体層 1 を介して設けた素子構成が好ましい。

【0009】本素子の動作原理は、強誘電体層 1 と半導体層 2 からなるダイオード構造の電極 4, 5 間に電圧を印加すると、この時流れた電流が大きい程、またその時間が長い程、この直後にダイオードの電気抵抗が低くなることにある。図 2 (a) 及び (b) は、図 1 の本発明のダイオード素子の電流電圧特性を示す図であり、横軸は電圧、縦軸は電流を示す。図 2 (a) は、順次大きな正電圧を印加し、次に順次ゼロに戻し、順次大きな負の電圧を印加し、最後に順次ゼロに戻した場合の電圧電流特性である。この時、ヒステリシスが現われ、戻りの電流値が初めの電流値より大きい。さらに、図 2 (b) では電極 4, 5 間に動作電圧より大な電圧を印加して過大な電流、通常 $10^{-5} \sim 10^{-3} \text{ A/cm}^2$ を流した直後、この電圧より小さい動作電圧、典型的にはその $1/10$ から $1/2$ の動作電圧を加えて、その電流値 (図中、実線で示される。) を測定すると、何もなかった状態 (図中、破線で示される。) に比べ大きい。この低抵抗状態は、通常、一定の極性方向であり、反対の極性では抵抗の変化は少ない。また、低抵抗状態の保持時間は、現在のところ、1 分程度である。これは、DRAM でのリフレッシュ時間に比べ十分長いので、DRAM 型のメモリ構成が可能となる。

【0010】本素子と類似の現象は、一般に絶縁破壊に付随してよく見られる現象である。しかし、本素子では、上述の特性が繰り返し再現性よく現われることが希な点である。書き込み電流とその通電時間が小さ過ぎると状態変化が小さく読み出しの信号が小さくなる。しかし、繰り返し測定しても素子特性が変わらない特徴を維持するためには、書き込み時に電流を流し過ぎて、完全に絶縁破壊させないように、印加電圧と時間を設定する。

【0011】また、本素子は、DRAM のように静電容量を記憶担体とするのではなく、電流が通る部分があれば素子となり得るので、断面を 100 nm^2 以下にすることも可能であり、超高密度の集積が可能である。また、書き込みは、電界強度で決まり、オーダーとして 100 kV/cm 程度である。このため、均一な強誘電体層が形成できる限り、膜厚を薄くすることにより、書き込み電圧を数ボルト以下、 100 nm 以下の膜厚では 1 ボルト以下にすることも可能である。さらに、記憶保持時間も、より不純物を除くことや、素子断面積を小さくすることによって長時間化すると考えられる。

【0012】本素子の動作原理は、まだ十分解明されていないが、書き込み時に大きな電流を流す際、半導体層と強誘電体層の界面にキャリアが注入され、これが、強誘電体層内の微小分極域に捕獲され、トラップ準位を形

成し電気伝導度の高い層を形成性するためではないかと考えられる。このため、記憶保持時間は、この分極域の誘電緩和時間が長い程、これに伴う注入キャリアの捕獲時間が長い程長くなると考えられる。また、この現象は、厚い強誘電体層でも見られ、トンネル電流とは異なる温度依存性を示すので、強誘電体層内の欠陥や分極域を伝わる電流に関係するものと考えられる。

【0013】強誘電体に接する導電体に半導体を用いるのは、上述のように本ダイオードでヒステリシスが見られる原因が、これらの層と強誘電体の界面での電子またはホールの捕獲現象等であると想定され、金属的伝導でなく、キャリアの少ない材料が好ましいと考えられるためである。このような材料は、Si, アモルファスシリコン、テルル、インジウム酸化物など容易に薄膜が形成しやすい半導体でもよい。また、これらの界面で強誘電体に制御されるキャリア以外の寄与を減らすためには、シリコンのように高結晶性のものを用いることも好ましい。特に、ペロブスカイト構造を有する強誘電性酸化物を強誘電体層として用いる場合、シリコン以外にペロブスカイト構造の半導性または導電性酸化物薄膜を伝導性薄膜として、強誘電体をエピタキシャル成長させ界面準位を減らすのが好適である。

【0014】このようなペロブスカイト構造の半導性または導電性酸化物としては、 $\text{YBa}_2\text{Cu}_3\text{O}_7$, $(\text{La}, \text{Sr})_2\text{CuO}_4$, $(\text{Nd}, \text{Ce})_2\text{CuO}_4$, $(\text{Ln}, \text{M})\text{TmO}_3$ (Ln: 希土類金属, M: アルカリ土類金属, Tm: 3d 遷移金属) が例示できる。半導体のペロブスカイト構造の酸化物半導体及び導電体を例示すると、銅酸化物で超伝導体構造をとるペロブスカイト酸化物: $\text{LnBa}_2\text{Cu}_3\text{O}_{5.5+x}$ (Ln=Y, Gd, Sm, Nd, Eu 等の 3 価の希土類金属元素から選ばれる少なくとも 1 種の元素, $0 < x < 0.8$, Ln=Pr の場合, $0 < x < 1.5$), $\text{Bi}_2\text{Sr}_2(\text{Ca}_{1-y}\text{Ln}_y)_{n-1}\text{Cu}_n\text{O}_{6+2n+d}$ ($0 < d < 1$, $n=1 \sim 3$, Ln=Y, Nd 等の希土類金属元素, $y=0.5 \sim 1$), $\text{Ln}_{2-2z}\text{M}_z\text{CuO}_{4-d}$ ($0 < d < 0.2$, $z=0 \sim 0.05$, 好ましくは $0 \sim 0.01$, M=Sr, Ca, Ba, Ce または Ln, Ln=La, Pr, Nd, Sm, Eu, Gd 等の希土類金属元素、典型例としては $\text{La}_{2-2z}\text{Sr}_z\text{CuO}_4$, $\text{Pr}_{2-2z}\text{Ce}_z\text{CuO}_4$) が例示できる。さらに、これらの材料で Cu を他の周期表 7 族 ~ 10 族遷移金属、例えば Fe, Ni, Co, Mn 等、特に Fe, Ni, Co で部分置換または全置換した材料を用いてもよい。この具体例としては、 $\text{YBa}_2\text{Cu}_2\text{CoO}_7$, $\text{Bi}_2\text{Mn}_{n-1}\text{Co}_n\text{O}_{6+2n+d}$ ($0 < d < 1$, $n=1, 2$, M=Ca, Sr, Ba), $\text{La}_{2-2z}\text{Sr}_z\text{CoO}_4$ ($z=0 \sim 0.5$), $\text{La}_{2-2z}\text{Sr}_z\text{NiO}_4$ ($z=0 \sim 0.5$), $\text{Nd}_{2-2z}\text{Sr}_z\text{NiO}_4$ ($z=0 \sim 0.5$) が挙げられる。

【0015】また、銅酸化物超伝導体類似物以外の導電

性ペロブスカイト酸化物としては、一般式 $L_{n-1-x}M_xT.O_3$ (L_n =希土類金属元素 ($La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Y$) から選ばれる少なくとも一種、 $M=Mg, Ca, Sr, Ba$ から選ばれる少なくとも一種、 T =遷移金属元素: $Ti, V, Cr, Mn, Fe, Co, Ni, Cu$ 等、 $x=0\sim$ 固溶限界、通常0.4程度迄) で示されるものが挙げられる。具体例としては、 $La_{1-x}Sr_xTiO_3$ ($x=0\sim1$)、 $La_{1-x}Sr_xVO_3$ ($x=0\sim0.4$)、 $La_{1-x}M_xCrO_3$ ($M=Mg, Sr, Ba, x=0\sim0.2$)、 $La_{1-x}M_xMnO_3$ ($M=Ca, Sr, Ba, x=0\sim0.2$)、 $La_{1-x}M_xFeO_3$ ($M=Sr, Ba, x=0\sim0.4$)、 $La_{1-x}M_xCoO_3$ ($M=Sr, Ba, x=0\sim0.2$)、 $La_{0.85}Ba_{0.15}Cr_{1-x}FeO_3$ ($x=0\sim1$)、 $La_{0.85}Ba_{0.15}Mn_{1-x}Cr_xO_3$ ($x=0\sim1$)、 $La_{0.85}Ba_{0.15}Mn_{1-x}Fe_xO_3$ ($x=0\sim1$)、 $La_{0.85}Y_{0.15}Mn_{1-x}Fe_xO_3$ 、 $LaCo_{1-x}Mn_xO_3$ ($x=0\sim0.1$)、更に遷移金属 T の一部または全部を Nb, Ta, Mo, W で置換したもの、例えば、 $LnFe_{1-x}Mo_xO_3$ ($x=0\sim0.25$, $Ln=La, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Y$)、 $LaCo_{1-x}W_xO_3$ 、 $LnCo_{1-x}Mo_xO_3$ 、 $LaNi_{1-x}W_xO_3$ 、 $LaNi_{1-x}Mo_xO_3$ ($x=0\sim0.25$) が挙げられる。

【0016】特に、図1(c)のような構造では、半導体層は、前述の半導体に加え、より低温で成膜可能なカルコゲナイドを含む半導体やアモルファス Si 等を用いることができる。これらの膜厚は、通常10~5000オングストロームであり、好ましくは50~1000オングストロームである。また、本ダイオードに用いられる強誘電体薄膜としては、ペロブスカイト構造を有する酸化物、または、強誘電性を持つ高分子、または、 $BaMgF_4$ のようなフッ化物が例示できる。ペロブスカイト構造を有する強誘電性酸化物としては、 $BaTiO_3$ 、 $LiNbO_3$ 、 $KNbO_3$ 、 $YMnO_3$ 、 $Bi_3Ti_4O_{12}$ 、 $PbTiO_3$ 、 $PbTi_{1-x}Zr_xO_3$ 、また一般式(Pb, La)(Ti, Zr) O_3 で示される酸化物等が例示できる。特に、極薄膜化しても、強誘電性を保持する上記の Pb と Ti を含む酸化物が好適である。膜厚を選ぶ基準は、十分弱い電圧に対して本ダイオードの特性が絶縁性を示すことである。このため強誘電体の絶縁性を壊さない程度に膜厚を大きくすることが重要である。これらの膜厚は、通常10~5000オングストロームであり、好ましくは100~2000オングストロームである。

【0017】本発明に用いられる電極用電気伝導薄膜としては、 $Cu, Al, Au, Ag, Pt, Pd, Ti, Ni$ などの金属薄膜及びその合金または積層膜が挙げられる。また、インジウムスズ酸化物(ITO)や RuO

2 等の酸化物を用いてもよい。特に、図1(c)の構造での電極4には、強誘電体層と反応しないことが重要であり、前述のペロブスカイト導電性酸化物で電気伝導度の高い組成、例えば、 $La_{0.5}Sr_{0.5}CoO_3$ 等を用いたり、または、 RuO_2 を用いたり、反応性の少ない白金が強誘電体層に接するようにした Pt (または Pd)と Ti, Ni 等の積層膜が用いられる。これらの膜厚は、通常100~10000オングストロームであり、好ましくは1000~3000オングストロームである。

【0018】これらの積層膜は公知の、スパッター蒸着法やレーザー蒸着法等の物理蒸着法や $MO-CVD$ 等の化学蒸着法、ゾルゲル法などにより作製できる。基板としては、 Si やサファイヤの単結晶、場合によってはその多結晶基板、耐熱性ガラス、 $SrTiO_3$ 、 $LaAlO_3$ 等のペロブスカイト構造を有する単結晶基板が用いられる。図1(b)の半導体層2、図1(c)の電極4が酸化物である場合、これらを Si やサファイヤ耐熱性ガラス基板に直接積層しないこともある。即ち、成膜時の両者の反応を避けたり、両者の格子不整合を緩和するために、基板とこれらの層間に、 YSZ (Y 安定化 ZrO_2)、 CeO_2 、 MgO 、 Pt 、 Pd 等のバッファ層を形成してもよい。

【0019】次に、本素子で構成する装置を説明する。図3は本素子を用いて脳の働きを模倣した回路の模式図である。脳神経系に関する $Hebb$ の学習則(例えば、生体の科学 第44巻(5)540-543(1993)あるいは、 $D. O. Hebb, The Organization of Behavior$ (Wiley, 1949))によれば、特定の神経細胞間のシナプス1が学習により選択的に信号を通し易くなるには、信号を発振する神経細胞12の特定の信号に対して受信側の細胞13、14が発振しその信号を再び神経細胞12に戻すことが必要と言われている。

【0020】このような回路は、11が本強誘電体ダイオード、12、14が正極性の信号を発する演算素子、または演算回路、またはメモリー、13が負極性の信号を発する演算素子、または演算回路、またはメモリーとして実現できる。即ち、入力信号15が、正極性の信号を発する演算素子、または演算回路、またはメモリー12に与えられると、この時、強い電流を13、14の素子に与える。素子14が発する正極性の信号は、その強誘電体ダイオード11の低抵抗状態を打ち消すように動作するが、負極性の信号を発する13からの信号はその強誘電体ダイオード11をさらに低抵抗化するように動作する。そして、類似の信号が与えられる程、この低抵抗状態の保存状態はよくなり、一定の信号に対して常にこの回路から優先的に出力されるようになる。これは、シナプス結合の形成そのものである。

【0021】本強誘電体ダイオードを用いた、この回路は現在のコンピューターと異なり、学習により自然発生

10

20

30

40

50

的に回路網が形成されていくこと、及び、微細なリングラフィーに頼らず複雑なネットワークが組めることが特徴である。また、図4(a)、(b)は夫々、ハイパスフィルターおよびローパスフィルターの回路図であるが、抵抗RとキャパシターCからなるハイパスフィルター(図4a)、ローパスフィルター回路(図4b)では、夫々時定数RCより高いまたは低い信号のみ伝達する。この抵抗を本強誘電体ダイオードで置き換えれば学習により抵抗Rが低下する。このため、学習により、ある時間の間、許容されるしきい値が狭くなったり広がったりするハイパスまたはローパスフィルターが可能となる。

【0022】次に、図5はDRAM代替用の集積回路構成例の断面図を示す。上下電極4、5はワードライン

(図示せず)とビットライン(図示せず)を兼ね、単純マトリクス回路を構成する。この電極4、5間に強誘電体層1と半導体層2による本強誘電体ダイオード素子が形成される。これら配線の各々の一端にはFETなどによる配線選択用のスイッチング素子が設けられ、各強誘電体ダイオード素子が選択され、読み出され、または書き込み消去される。これは、本強誘電体ダイオード素子のメモリー保持をDRAMの回路技術をそのまま応用して行なえる。特に、リフレッシュは、一定の周期で各ダイオードを選択し、読み出し、読み出した状態がオンなら追加書き込みを行い、オフなら放置または消去(書き込みと反対の電圧印加)する。これにより、強誘電体ダイオード素子を用いた集積回路に於いて、メモリー状態即ち、低抵抗状態を維持できるメモリー装置となる。

【0023】また、図6は本素子を用いたメモリー装置の概念図である。基板である円盤3上に半導体層2及び強誘電体層1を積層して、本強誘電体ダイオード素子を形成し、これを回転可能として、前述の通常の素子構成では電極5に相当する導電性の針10に電気を流してメモリー装置としてもよい。強誘電体ダイオード素子の読み出しは、一定の電圧に対して電流が流れ易い状態と流れ難い状態を夫々1、0に対応させる。この定義は逆でもよい。この状態は、この読み出し電圧に比べて十分大きな、典型的には2倍以上の、電圧を印加することにより行なう。書き込みと読み出しの電圧の極性は、構成する半導体層と強誘電体薄膜の種類により異なるが、電流の流れやすい極性で読み出す。また書き込みは、多くの場合、読み出し電圧の極性と同一であり、消去は、書き込み電圧と逆向きの電圧を同じ大きさで印加する。

【0024】この場合、円盤3を回転させ針を移動させながら読み出し、その結果に従って、リフレッシュ即ち再書き込みを行なう。この場合、集積密度が低い場合や、円盤の半径が小さい場合は、円盤の回転と、針の移動を高速にして、リフレッシュが可能である。しかし、より高密度または円盤が大型化すると、リフレッシュ周期を十分短くすることが困難なので、強誘電体薄膜自体

のメモリー保持特性を向上する必要がある。ここで、基板3である円盤には少なくとも下地の一部に電極を設け、回転軸等を通して、電圧源と電氣的に半導体2を結合されていることが必要である。

【0025】本強誘電体ダイオード素子を用いたメモリーには上述の2種類が挙げられるが、メモリーとしての構成は、固体素子として用いる方が容易であり、既存回路技術と配線技術がそのまま利用できる。さらに、本強誘電体ダイオード素子は、2端子素子で配線が1素子につき2本のみでよく、また素子構成も強誘電体薄膜上の上部電極と、半導体層上の電極から構成される単純なものである。このため、既存のDRAMに比べ大幅な集積度の向上が見込まれる。結晶性からみても強誘電性は10nmの膜厚でも出現しているので、横方向の寸法もこれと同等の微細化が期待できる。これに対する配線も同じ寸法まで可能として、集積度を見積ると現在のDRAMチップと同じ大きさで、1テラビット(1000ギガビット)の集積が期待できる。素子構成と配線の単純さ、通常の半導体素子のような厳密な不純物や欠陥制御が不要であるため、多層化が可能である。即ち、基板上の同一位置に複数のダイオード素子を積み重ねてもよい。本メモリーでは、強誘電体薄膜にピンホールがあると、その部分は常に1になる。この誤った1は、読み出し時の電圧での電流値を測定する回路を設け、しきい値を設定し、しきい値以上の電流が発生した場合はエラーとして、エラー補正する回路を付加してもよい。

【0026】一方、円盤として強誘電体ダイオード素子を用いる場合は、配線が不要で針も導電性があればよいので、記録読み出しヘッドが小型軽量化できる利点がある。これにより、アクセスが高速化し、ヘッドのコストが低下できる。また、円盤には、従来、フロッピー、磁気ディスク、光ディスク、コンパクトディスク等全てのディスクメモリーで、機械的または磁氣的または光学的に行なわれているトラックとセクターの信号とヘッドサーボ用信号を組み込み、ヘッドにサーボをかける手段9をそなえることが必要である。この方式のメモリーの記録密度は、前述の方式と同様であるが、記録円盤自体の作製が極めて容易である点が重要である。円盤として用いる方式では、上記の材料を電解研磨等で作製した針の他に、STM(走査型トンネル顕微鏡)に用いられる針及びその材料を用いることができる。さらに、針のスキャン法としては、異なった場所を移動する時は針を円盤から離して行なうのが好ましい。例えば、AFM(原子間力顕微鏡)の操作法で知られているタッピングモードが好ましい。また、ヘッド内に読み出しと書き込み消去用の1対の針を備え、この針が同一円周上に並ぶように配置するのも好ましい。これにより、円盤を高速に回転しても、読み出し直後にリフレッシュまたは消去が可能となる。これら一対の針を半径方向に並べ、一度に複数の円周上で読み出し書き込み、消去をしてもよい。

【0027】

【実施例】以下実施例に基づき本発明をさらに詳細に説明する。

実施例 1

レーザー蒸着法により、(100)面を持つ SrTiO_3 単結晶基板上に膜厚 500\AA の $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ ($x=0$)半導体薄膜を形成した。この時の酸素ガス圧は 10 mtorr で、基板温度約 700°C 、 ArF レーザーエネルギー密度約 1 J/cm^2 であった。蒸着終了後、酸素圧 100 torr 中で基板を降温し、 100°C 以下で大気中に取り出した。X線回折によりこの薄膜はC軸に配向したエピタキシャル膜であることが分かった。この薄膜の抵抗は $100\text{ k}\Omega$ 程度であり、比抵抗率は約 $0.5\Omega\text{ cm}$ であった。真空槽に戻し酸素圧 100 mtorr 中で蒸着温度まで基板を昇温し、レーザー蒸着法で 1000\AA の $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 薄膜 ($x=0.5$)を上記薄膜上に積層した。この時の酸素ガス圧は 100 mtorr で、基板温度約 570°C 、 ArF レーザーエネルギー密度約 2 J/cm^2 であった。蒸着終了後、酸素圧 100 torr 中で基板を降温し、 100°C 以下で大気中に取り出した。X線回折によりこの薄膜はややa軸配向の混入したC軸配向エピタキシャル膜であることが分かった。

【0028】この薄膜のリークのない部分と $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ を機械的に剥離させた部分の夫々 1 mm 角領域に金薄膜を電極として形成した。この部分に $10\sim 1000\text{ Hz}$ のサイン波を印加したところ、残留分極 $2\mu\text{C/cm}^2$ 程の強誘電体特性が見られた。同一部分に先端直径 $50\mu\text{m}$ の導電性針を立てて直流電圧を振幅 2 V で $0, 2, 0, -2, 0\text{ V}$ の順に 200 ステップに分割して約 10 分間でスキャンして電流電圧特性を測定したところ図7 (横軸は電圧、縦軸は電流を示す。)のようなヒステリシスが見られ、同一条件で繰り返し測定しても特性は殆ど変化しなかった。さらに、同一部分に直流電圧 ± 2 を印加した後、 $\pm 0.5\text{ V}$ の電圧まで印加した直後に電流電圧特性を測定すると図8 (横軸は電圧、縦軸は電流を示す。)のようにメモリー効果が認められたが、5分程度後にはメモリー効果は見られなくなった。また、 $+2\text{ V}$ で長期に印加電圧を保持すると電流が増加する傾向や、上記の電流電圧特性で、より電流が増加することが確認された。図8で白抜き丸は $+2\text{ V}$ 印加直後の電流電圧特性、黒塗り丸は -2 V 印加直後は $+2\text{ V}$ 印加後5分以上経過後の電流電圧特性である。

【0029】再び、同一部分に直流電圧 $+2\text{ V}$ を印加した後、 $\pm 0.5\text{ V}$ の電圧までの電流電圧特性を測定後、再度1分後に直流電圧 $+2\text{ V}$ を印加し(リフレッシュ)、 $\pm 0.5\text{ V}$ の電圧までの電流電圧特性を測定することを繰り返した。この時、5回のリフレッシュで電流電圧特性は殆ど変化せず、 -2 V を印加した後の $\pm 0.5\text{ V}$ の電圧までの電流電圧特性の傾きの約3倍(3倍電

気抵抗が減っている)であった。

【0030】実施例 2

レーザー蒸着法で、 $(\text{Pb}_{1-x}\text{La}_x)\text{TiO}_3$ 薄膜 ($x=0.05$)を半導体性の $\text{SrTiO}_3:\text{Nb}$ (100)基板上に作製し、実施例1と同様の実験を行なった。但し、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ を機械的に剥離させた部分には 1 mm 角領域に金薄膜を電極として形成したが、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 上には金電極を付けず、先端直径 $50\mu\text{m}$ の導電性針を直に押しつけた。

【0031】電流の絶対値は小さく、より高い電圧が必要ではあるが、この場合も実施例1のような、測定毎で殆ど変化しない電流電圧特性のヒステリシス(図9)と数分程度のメモリー効果と、電圧を $+6\text{ V}$ 印加することによるリフレッシュでメモリー回復ができた。図2のように基板を回転して記録体とできることが分かる。

【0032】比較例

Si 基板とその上の SiO_2 酸化膜の上に金を蒸着して実施例2と同様の構造を作製した。この素子を用いて実施例1と同様の電圧電流特性を測定した。 4 V 以上の電圧を加えて初めて電流が流れ始め、この後は 3 V 程度でも電流が流れた。但し、この場合、ヒステリシスは極めて小さいか、もしくは大きくても、測定毎に変わった。これは比較例では絶縁破壊が主体の現象が見えているに過ぎないことを意味する。

【0033】実施例 3

実施例1のヒステリシスは電流電圧特性のメモリー効果によるが、このようなメモリー効果やヒステリシスは、エピタキシャル成長した以下のC軸配向膜でもみられた。

(1) $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 薄膜 ($x=0.5$) / $\text{Nd}_{2-x}\text{Ce}_x\text{CuO}_4$ 薄膜 ($x=0.01$) / SrTiO_3 (100) 基板

(2) $(\text{Pb}_{1-x}\text{La}_x)\text{TiO}_3$ 薄膜 ($x=0.05$) / $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ 薄膜 ($x=0\sim 0.04$) / SrTiO_3 (100) 基板

(3) $(\text{Pb}_{1-x}\text{La}_x)\text{TiO}_3$ 薄膜 ($x=0.05$) / LaNiO_3 薄膜 / SrTiO_3 (100) 基板

【0034】(4) $(\text{Pb}_{1-x}\text{La}_x)\text{TiO}_3$ 薄膜 ($x=0.05\sim 0.10$) / $\text{SrTiO}_3:\text{Nb}$ (100) 基板

(5) BaTiO_3 薄膜 / $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ 薄膜 ($x=0\sim 0.04$) / SrTiO_3 (100) 基板

(6) BaTiO_3 / $\text{SrTiO}_3:\text{Nb}$ (100) 基板
また、 BaTiO_3 薄膜 (2000\AA) / $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ 薄膜 ($x=0.1$) (400\AA) / SrTiO_3 (100) 基板の構成を2層を成膜する間真空を破らずに作製した場合も電流電圧特性ヒステリシスが見られ、数分間のメモリー効果があること及びリフレッシュ可能であることが分かった。

【0035】実施例 4

Si 基板上に $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 薄膜 ($x=0.4$) 2000\AA を形成したものについて、上記実施例と同様に電極を形成し、電圧電流特性を測定した。この場合、比較例同様に、1 回毎の測定間で特性が変わったが、比較例に比べて大きなヒステリシスが得られた。

【0036】

【発明の効果】本発明は、単純な構成で、神経疑似素子や高集積化の容易なメモリー素子を提供する。

【図面の簡単な説明】

【図 1】本発明の強誘電体ダイオードの構成を示す断面図

【図 2】本発明の強誘電体ダイオードの特性を示す図

【図 3】本発明の強誘電体ダイオードを用いた疑似神経回路の概念図

【図 4】本発明の強誘電体ダイオードを用いた学習機能を持つフィルターの回路図

【図 5】本発明の集積回路型のメモリー素子としての構成例を示す模式図

【図 6】本発明のディスク型のメモリー素子としての構成例を示す模式図

【図 7】ヒステリシスを持つ電流電圧特性を示す図

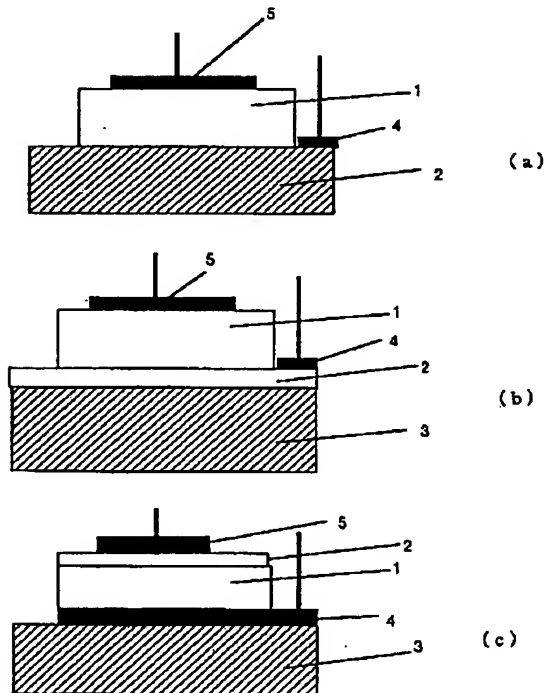
【図 8】メモリー効果を持つ電流電圧特性を示す図

【図 9】ヒステリシスを持つ電流電圧特性を示す図

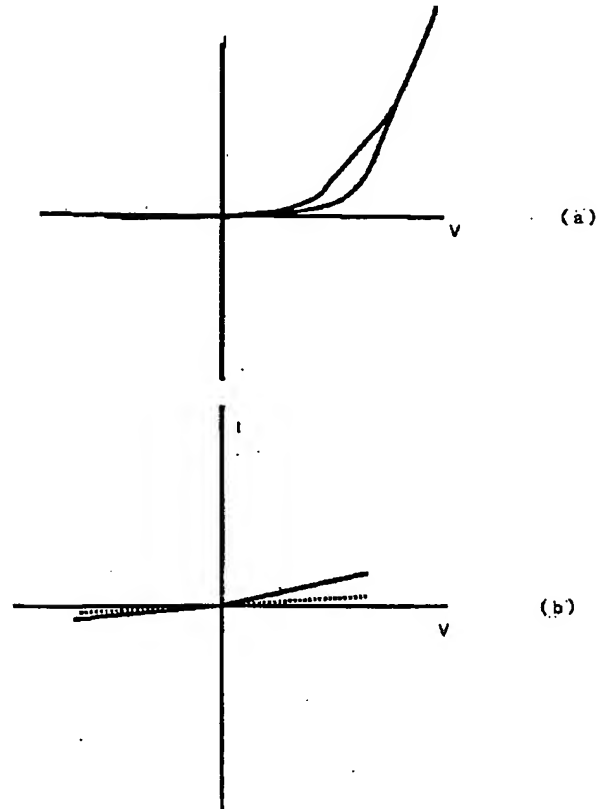
【符号の説明】

- 1 強誘電体層
- 2 半導体層
- 3 基板
- 4 電極
- 5 電極 (伝導性薄膜)
- 6 素子間分離用絶縁体
- 7 電圧源
- 8 電流計
- 9 サーボトラック追尾機構を有する導電性針固定ヘッド
- 10 導電性針
- 11 強誘電体ダイオード
- 12 演算素子、または演算回路、またはメモリー
- 13 演算素子、または演算回路、またはメモリー
- 14 演算素子、または演算回路、またはメモリー
- 15 入力信号
- 16 出力信号

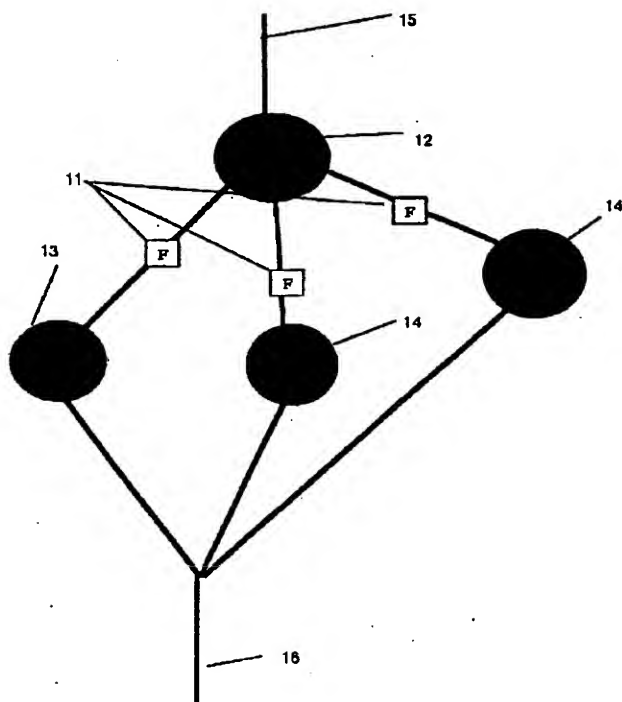
【図 1】



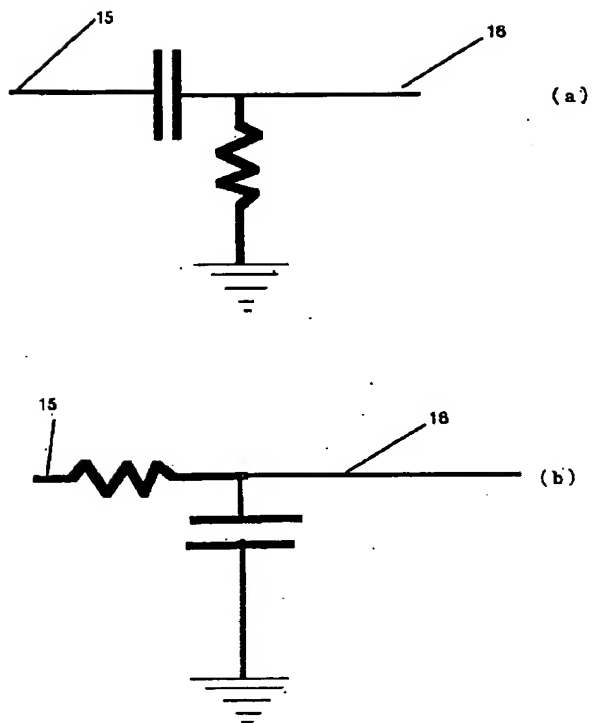
【図 2】



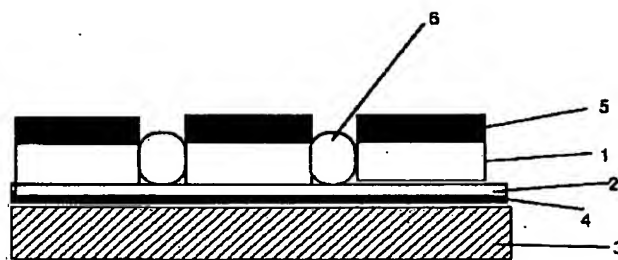
【図 3】



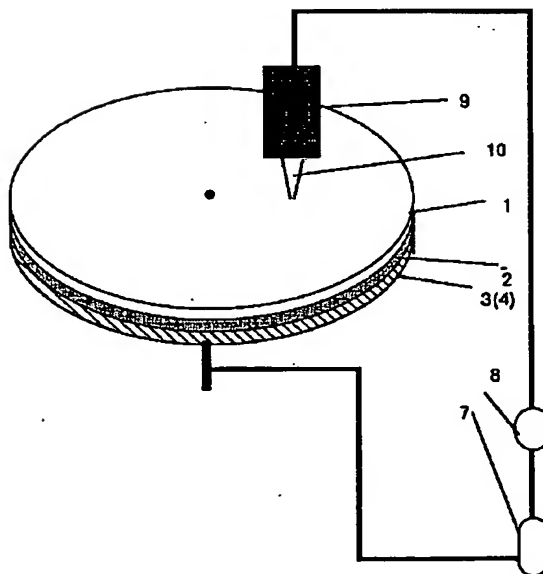
【図 4】



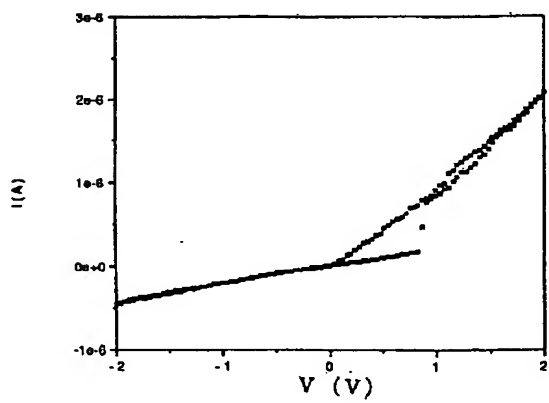
【図 5】



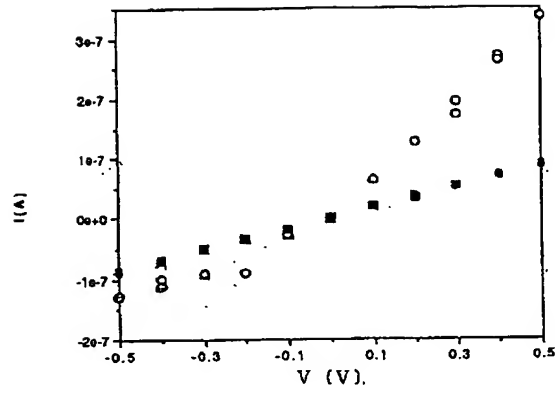
【図 6】



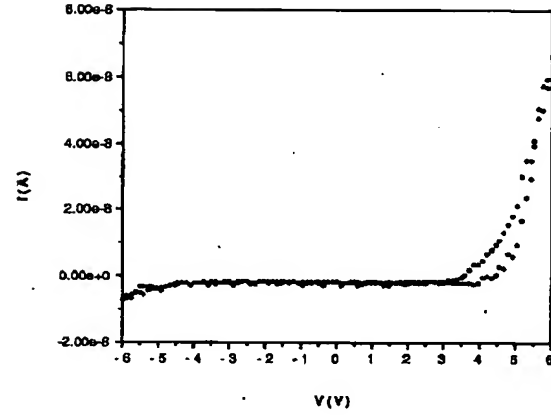
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl. 6

H O 1 L 27/108

21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所